

1

【特許請求の範囲】

【請求項1】半導体基板と、

前記半導体基板上に形成された層間絶縁膜と、
前記層間絶縁膜上に形成された第1電極と、
前記第1電極上に形成された第1強誘電体膜と、
前記第1強誘電体膜上に形成された第2電極と、
前記第2電極上に形成された第2強誘電体膜と、
前記第2強誘電体膜上に形成された第3電極とを有する
ことを特徴とする半導体記憶装置。

【請求項2】前記第1電極の下方に一定方向に延伸して
形成されたワード線をさらに備え、前記第2電極は、前
記ワード線の延伸方向に沿って前記第1電極よりも長く
形成されることを特徴とする請求項1記載の半導体記憶
装置。

【請求項3】前記第1強誘電体膜及び第2強誘電体膜
は、 SrBiTaO_3 系、 PbZrTiO_3 系 (PZT ; $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ を含む)、 BaSrTiO_3 系の
混成膜、及び BaTiO_3 、 PLZT 、 LiNbO_3 、 $\text{K}_3\text{Li}_2\text{Nb}_5\text{O}_{15}$ 等からなるイオン結合性を有する酸化
物強誘電体膜のいずれかから選ばれることを特徴とする
請求項1記載の半導体記憶装置。

【請求項4】前記第1乃至第3電極は、 Ti/Pt 、 $\text{Ti}/\text{TiN}/\text{Pt}$ 等の積層膜、及び Ir 、 IrO_2 、 SrRuO 、 Ru 、 RuO 等を下部電極とする Pt 膜のい
ずれかからなることを特徴とする請求項1記載の半導体
記憶装置。

【請求項5】半導体基板と、
前記半導体基板上に形成され、ゲート並びに前記ゲート
を挟んで対向して配置された第1拡散層及び第2拡散層
を有する第1トランジスタと、
前記半導体基板上に前記第1トランジスタに隣接して形
成され、ゲート並びに前記ゲートを挟んで対向して配置
された第3拡散層及び第4拡散層を有する第2トランジ
スタと、

前記第1拡散層に接続された第1プラグ電極と、
前記第2拡散層に接続された第2プラグ電極と、
前記第3拡散層に接続された第3プラグ電極と、
前記第4拡散層に接続された第4プラグ電極と、
前記第2プラグ電極に接続された第1ビット線と、
前記第4プラグ電極に接続された第2ビット線と、
前記第1拡散層に前記第1プラグ電極を介して接続され
た第1電極と、

前記第1電極上に形成された第1強誘電体膜と、
前記第1強誘電体膜上に形成された第2電極と、
前記第2電極上に形成された第2強誘電体膜と、
前記第2強誘電体膜上に形成された第3電極と、
前記第3電極と前記第3拡散層とに接続された配線とを
具備することを特徴とする半導体記憶装置。

【請求項6】前記第1トランジスタのゲート及び第2ト
ランジスタのゲートが接続されたワード線と、

2

前記第2電極をなす前記ワード線方向に延伸して形成さ
れたプレート線と、

前記第1電極、前記第1電極上の第1強誘電体膜、及び
前記第1強誘電体膜上の第2電極からなる第1強誘電体
キャパシタと、

前記第2電極、前記第2電極上の第2強誘電体膜、及び
前記第2強誘電体膜上の第3電極からなる第2強誘電体
キャパシタとを具備し、

前記第1トランジスタのドレインは前記第1ビット線に
接続され、

前記第1トランジスタのソースは前記第1強誘電体キャ
パシタの第1電極に接続され、

前記第2トランジスタのドレインは前記第2ビット線に
接続され、

前記第2トランジスタのソースは前記第2強誘電体キャ
パシタの第3電極に接続されることを特徴とする請求項
5記載の半導体記憶装置。

【請求項7】前記第1強誘電体膜及び前記第2強誘電体
膜は、 SrBiTaO_3 系、 PbZrTiO_3 系 (PZT ; $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ を含む)、 BaSrTiO_3 系の
混成膜、及び BaTiO_3 、 PLZT 、 LiNbO_3 、 $\text{K}_3\text{Li}_2\text{Nb}_5\text{O}_{15}$ 等のイオン結合性を有する酸化物強
誘電体膜のいずれかから選ばれることを特徴とする請求
項5記載の半導体記憶装置。

【請求項8】前記第1乃至第3電極は、 Ti/Pt 、 $\text{Ti}/\text{TiN}/\text{Pt}$ 等の積層膜、及び Ir 、 IrO_2 、 SrRuO 、 Ru 、 RuO 等を下部電極とする Pt 膜のい
ずれかから選ばれることを特徴とする請求項5記載の半
導体記憶装置。

【請求項9】半導体基板と、
前記半導体基板上に形成され、ゲート並びに前記ゲート
を挟んで対向して配置された第1拡散層及び第2拡散層
を有する第1トランジスタと、
前記半導体基板上に前記第1トランジスタに隣接して形
成され、ゲート及び前記ゲートを挟んで前記第1拡散層
に対向して配置された第3拡散層を有し、前記第1拡散
層を共有する第2トランジスタと、

前記第1拡散層に接続された第1プラグ電極と、
前記第2拡散層に接続された第2プラグ電極と、
前記第1プラグ電極から離間して前記第1拡散層に接続さ
れた第3プラグ電極と、

前記第2プラグ電極に接続されたビット線と、
前記第1拡散層に前記第1プラグ電極を介して接続され
た第1電極と、

前記第1電極上に形成された第1強誘電体膜と、
前記第1強誘電体膜上に形成された第2電極と、
前記第2電極上に形成された第2強誘電体膜と、
前記第2強誘電体膜上に形成された第3電極と、
前記第3電極と前記第1拡散層とに前記第3プラグ電極
を介して接続された配線とを具備することを特徴とする

3

半導体記憶装置。

【請求項10】半導体基板と、
前記半導体基板上に形成され、ゲート並びにこのゲートを挟んで対向して配置された第1拡散層及び第2拡散層を有するトランジスタと、
前記第1拡散層に接続された第1プラグ電極と、
前記第2拡散層に接続された第2プラグ電極と、
前記第1プラグ電極から離間して前記第1拡散層に接続された第3プラグ電極と、
前記第2プラグ電極に接続されたビット線と、
前記第1拡散層に前記第1プラグ電極を介して接続された第1電極と、
前記第1電極上に形成された第1強誘電体膜と、
前記第1強誘電体膜上に形成された第2電極と、
前記第2電極上に形成された第2強誘電体膜と、
前記第2強誘電体膜上に形成された第3電極と、
前記第3電極に接続され、前記第3プラグ電極を介して前記第1拡散層に接続された配線とを具備することを特徴とする半導体記憶装置。

【請求項11】前記トランジスタのゲートが接続されたワード線と、
前記第2電極をなす前記ワード線方向に延伸して形成されたプレート線と、
前記第1電極、前記第1電極上の第1強誘電体膜、及び前記第1強誘電体膜上の第2電極からなる第1強誘電体キャパシタと、
前記第2電極、前記第2電極上の第2強誘電体膜、及び前記第2強誘電体膜上の第3電極からなる第2強誘電体キャパシタとを具備し、
前記トランジスタのドレインは前記ビット線に接続され、
前記トランジスタのソースは前記第1強誘電体キャパシタの第1電極と前記第2強誘電体キャパシタの第3電極に接続されることを特徴とする請求項10記載の半導体記憶装置。

【請求項12】前記第1強誘電体膜及び前記第2強誘電体膜は、 SrBiTaO 系、 PbZrTiO 系 (PZT ; $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ を含む)、 BaSrTiO 系の混成膜、及び BaTiO_3 、 PLZT 、 LiNbO_3 、 $\text{K}_3\text{Li}_2\text{Nb}_5\text{O}_{15}$ 等からなるイオン結合性を有する酸化物強誘電体膜のいずれかであることを特徴とする請求項10記載の半導体記憶装置。

【請求項13】前記第1乃至第3電極は、 Ti/Pt 、 $\text{Ti}/\text{TiN}/\text{Pt}$ 等の積層膜、及び Ir 、 IrO_2 、 SrRuO 、 Ru 、 RuO 等を下部電極とする Pt 膜のいずれかから選ばれることを特徴とする請求項10記載の半導体記憶装置。

【請求項14】対向する上側電極、下側電極間に第1強誘電体膜を有する第1強誘電体キャパシタと、
対向する上側電極、下側電極間に第2強誘電体膜を有す

4

る第2強誘電体キャパシタとを具備し、

前記第1強誘電体キャパシタの上側電極を前記第1、第2の強誘電体キャパシタの共通電極として、前記第2強誘電体キャパシタが前記第1強誘電体キャパシタの上側に積層された強誘電体キャパシタ部とを有することを特徴とする半導体記憶装置。

【請求項15】3個以上の前記強誘電体キャパシタ部が隣接配置され、前記3個以上の前記強誘電体キャパシタ部は、互いに隣接する第1、第2、第3の強誘電体キャパシタ部を含み、前記第1強誘電体キャパシタ部は前記第2強誘電体キャパシタ部と前記第1強誘電体キャパシタの下側電極で互いに接続され、前記第2強誘電体キャパシタ部は前記第3強誘電体キャパシタ部と前記第2強誘電体キャパシタの上側電極で互いに接続されることを特徴とする請求項14記載の半導体記憶装置。

【請求項16】ソース又はドレインを共通にして複数のトランジスタが直列に接続され、
前記複数のトランジスタは、ソース又はドレインを共通にして直列に接続された第1、第2トランジスタを含み、
前記複数のトランジスタのゲートはそれぞれワード線に接続され、
前記第1、第2のトランジスタの上方には前記強誘電体キャパシタ部1個を備え、
前記第1のトランジスタのソースは前記強誘電体キャパシタ部を構成する前記第1の強誘電体キャパシタの下側電極に接続され、
前記第1トランジスタのドレインと前記第2のトランジスタのソースとは前記第1、第2のトランジスタの共通電極をなし、
前記第1、第2のトランジスタの共通電極は前記強誘電体キャパシタ部を構成する前記第1、第2の強誘電体キャパシタの共通電極に接続され、
前記第2のトランジスタのドレインは前記強誘電体キャパシタ部を構成する前記第2の強誘電体キャパシタの上側電極に接続されることを特徴とする請求項14記載の半導体記憶装置。

【請求項17】前記第1、第2強誘電体膜は、 SrBiTaO 系、 PbZrTiO 系 (PZT ; $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ を含む)、 BaSrTiO 系の混成膜、及び BaTiO_3 、 PLZT 、 LiNbO_3 、 $\text{K}_3\text{Li}_2\text{Nb}_5\text{O}_{15}$ 等からなるイオン結合性を有する酸化物強誘電体膜のいずれかであることを特徴とする請求項14記載の半導体記憶装置。

【請求項18】前記上側、下側電極及び前記共通電極は、 Ti/Pt 、 $\text{Ti}/\text{TiN}/\text{Pt}$ 等の積層膜、及び Ir 、 IrO_2 、 SrRuO 、 Ru 、 RuO 等を下部電極とする Pt 膜のいずれかから選ばれることを特徴とする請求項14記載の半導体記憶装置。

【請求項19】半導体基板上に第1拡散層及びこの第1

10

20

30

40

50

5

拡散層から一定距離だけ離間した位置に第2拡散層を形成する工程と、

前記半導体基板上に第1絶縁膜を形成する工程と、

前記第1絶縁膜中に前記第1拡散層に接続する第1プラグ電極を形成する工程と、

前記第1絶縁膜中に前記第2拡散層に接続する第2プラグ電極を形成する工程と、

前記半導体基板の上方に前記第1プラグ電極を介して前記第1拡散層に接続する第1電極層を形成する工程と、
前記第1電極層を所定形状に加工して第1電極を形成する工程と、

前記第1電極上に第1強誘電体膜を形成する工程と、

前記第1強誘電体膜上に第2電極層を形成する工程と、

前記第2電極層上に第2強誘電体膜を形成する工程と、

前記第2強誘電体膜上に第3電極層を形成する工程と、

前記第2強誘電体膜及び前記第3電極層を所定形状に加工する工程と、

前記第2電極層を所定形状に加工する工程と、

前記第1強誘電体膜上に第2絶縁膜を形成する工程と、

前記第2絶縁膜中に前記第3電極に接続する第3プラグ電極を形成する工程と、

前記第2絶縁膜中に前記第2プラグ電極に接続する第4プラグ電極を形成する工程と、

前記第2絶縁膜上に前記第3プラグ電極及び前記第4プラグ電極に接続される配線を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項20】半導体基板上に第1拡散層、前記第1拡散層から一定距離離間した位置に第2拡散層、及び前記第2拡散層から一定距離離間した位置に第3拡散層を形成する工程と、

前記半導体基板上に第1絶縁膜を形成する工程と、

前記第1絶縁膜中に前記第1拡散層に接続する第1プラグ電極を形成する工程と、

前記第1絶縁膜中に前記第2拡散層に接続する第2プラグ電極を形成する工程と、

前記第1絶縁膜中に前記第3拡散層に接続する第3プラグ電極を形成する工程と、

前記半導体基板の上方に前記第1プラグ電極を介して前記第1拡散層に接続する第1電極層を形成する工程と、
前記第1電極層を所定形状に加工して第1電極を形成する工程と、

前記第1電極上に第1強誘電体膜を形成する工程と、

前記第1強誘電体膜上に第2電極層を形成する工程と、

前記第2電極層上に第2強誘電体膜を形成する工程と、

前記第2強誘電体膜上に第3電極層を形成する工程と、

前記第3強誘電体膜及び前記第3電極層を所定形状に加工する工程と、

前記第2電極層を所定形状に加工する工程と、

前記第1強誘電体膜上に第2絶縁膜を形成する工程と、

前記第2絶縁膜中に前記第3電極に接続する第4プラグ電極を形成する工程と、

電極を形成する工程と、

前記第2絶縁膜中に前記第2プラグ電極及び前記第2電極に接続する第5プラグ電極を形成する工程と、

前記第2絶縁膜中に前記第3プラグ電極に接続する第6プラグ電極を形成する工程と、

前記第6プラグ電極及び前記第4プラグ電極に接続する配線を前記第2絶縁膜上に形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は強誘電体キャパシタを有する半導体記憶装置に関し、特に高集積化された強誘電体メモリセルを有する半導体記憶装置及びその製造方法に関するものである。

【0002】

【従来の技術】近年、強誘電体メモリセルは、低消費電力で高信頼性の不揮発性半導体記憶装置として開発されている。例えば、PZT ($\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$)膜を備える強誘電体キャパシタを用いた従来の強誘電体メモリデバイスは、図37に示すように構成される。

【0003】半導体基板100に拡散層101乃至103が設けられ、これに隣接して半導体基板上にゲート104乃至107が設けられる。拡散層101上には、拡散層101と強誘電体キャパシタの下部電極111とを接続するプラグ108が形成され、拡散層102上には、拡散層102と配線121とを接続するプラグ109が形成され、また、拡散層103上には、拡散層103と強誘電体キャパシタの下部電極117とを接続するプラグ110が形成される。

【0004】ゲート104、拡散層101、及びゲート105の上方には、隣接する2個の強誘電体キャパシタに共通の下部電極111が形成され、下部電極111上において、ゲート104の上方には一方の強誘電体キャパシタの強誘電体膜112と上部電極113が形成され、ゲート105の上方には他方の強誘電体キャパシタの強誘電体膜114と上部電極115が形成される。

【0005】同様に、ゲート106、拡散層103、及びゲート107の上方には、隣接する2個の強誘電体キャパシタに共通の下部電極117が形成され、下部電極117上において、ゲート106の上方には一方の強誘電体キャパシタの強誘電体膜118と上部電極119が形成され、ゲート107の上方には他方の強誘電体キャパシタの強誘電体膜122と上部電極123が形成される。

【0006】上部電極115と上部電極119とは、それぞれの上部電極上に形成されたプラグ116、120を介して配線121により互いに接続され、この配線121がプラグ109により拡散層102に接続される。

【0007】このように、従来の強誘電体キャパシタを備える半導体記憶装置では、1対の上部電極と下部電極

との間に設けられた強誘電体膜からなる強誘電体キャパシタがメモリセルトランジスタ上に1対1の関係をなすように形成される。なお、図37では省略されているが、強誘電体キャパシタを備える半導体記憶装置では同様の構造が図37の左右に繰り返し形成される。

【0008】図37に示す従来例は、1個のメモリセルトランジスタに1個の強誘電体キャパシタを並列接続したユニットセルを複数個直列接続した構成をなしている。このような構成は、ラダー型強誘電体メモリとして、例えば“A Sub-40ns Random-Access Chain FRAM Architecture with a 7ns Cell-plate-Line Drive, D.Takashima et al., IEEE ISSCC Technical Digest, pp102-103, Feb, 1999”及び特開平10-255483号公報に記載されている。

【0009】ラダー型強誘電体メモリの内、メモリセルトランジスタ(T)のソース・ドレイン間にキャパシタ(C)の両端をそれぞれ接続してユニットセルとし、このユニットセルを複数直列に接続した強誘電体メモリ(以下、TC並列ユニット直列接続型強誘電体メモリと称する)が高集積化に適する点で注目される。

【0010】

【発明が解決しようとする課題】以上のような従来の半導体装置では、以下の課題が生じる。従来の強誘電体キャパシタは、キャパシタサイズが小さくなるとプロセス上のダメージの影響が顕著に現れ、キャパシタ特性が悪化してしまう可能性があった。特に反応性イオンエッチング(Reactive Ion Etching (RIE))を用いてキャパシタを形成する際、キャパシタの側面をオーバーエッチングする可能性やマスクの合わせずれを見込んだ合わせ余裕をとる必要があるため、エッチング後に得られるキャパシタの形状が設計値よりも小さくなり、必要なキャパシタ容量が得られない可能性があった。

【0011】また、強誘電体キャパシタが強誘電体膜1層のみで形成されるため、半導体記憶装置のチップサイズの縮小に伴い、強誘電体キャパシタのサイズが縮小されれば、キャパシタの加工が困難になると同時にプロセス上のダメージを受けやすくなり、半導体記憶装置の電気的特性や信頼性、歩留まりに悪影響が及ぶという問題があった。本発明は上記課題を解決するためになされたものであり、特に、メモリセルキャパシタの容量を減少させることなく集積度を増加させることを可能とした半導体記憶装置と、その製造方法を提供しようとするものである。

【0012】

【課題を解決するための手段】本発明の実施の形態に係る半導体記憶装置は、半導体基板と、半導体基板上に形成された層間絶縁膜と、層間絶縁膜上に形成された第1電極と、第1電極上に形成された第1強誘電体膜と、第1強誘電体膜上に形成された第2電極と、第2電極上に形成された第2強誘電体膜と、第2強誘電体膜上に形成

された第3電極とを有する。

【0013】本発明の他の実施の形態に係る半導体記憶装置は、半導体基板と、半導体基板上に形成され、ゲート及びゲートを挟んで対向して配置された第1拡散層及び第2拡散層を有する第1トランジスタと、半導体基板上に第1トランジスタに隣接して形成され、ゲート及びゲートを挟んで対向して配置された第3拡散層及び第4拡散層を有する第2トランジスタと、第1拡散層に接続された第1プラグ電極と、第2拡散層に接続された第2プラグ電極と、第3拡散層に接続された第3プラグ電極と、第4拡散層に接続された第4プラグ電極と、第2プラグ電極に接続された第1ビット線と、第4プラグ電極に接続された第2ビット線と、第1拡散層に第1プラグ電極を介して接続された第1電極と、第1電極上に形成された第1強誘電体膜と、第1強誘電体膜上に形成された第2電極と、第2電極上に形成された第2強誘電体膜と、第2強誘電体膜上に形成された第3電極と、第3電極と第3拡散層とに接続された配線とを具備する。

【0014】また、本発明の他の実施の形態に係る半導体記憶装置は、半導体基板と、半導体基板上に形成され、ゲート及び前記ゲートを挟んで対向して配置された第1拡散層及び第2拡散層を有する第1トランジスタと、半導体基板上に第1トランジスタに隣接して形成され、ゲート及びゲートを挟んで第1拡散層に対向して配置された第3拡散層を有し、第1拡散層を共有する第2トランジスタと、第1拡散層に接続された第1プラグ電極と、第2拡散層に接続された第2プラグ電極と、第1プラグ電極から離間して第1拡散層に接続された第3プラグ電極と、第2プラグ電極に接続されたビット線と、第1拡散層に前記第1プラグ電極を介して接続された第1電極と、第1電極上に形成された第1強誘電体膜と、第1強誘電体膜上に形成された第2電極と、第2電極上に形成された第2強誘電体膜と、第2強誘電体膜上に形成された第3電極と、第3電極と前記第1拡散層とに第3プラグ電極を介して接続された配線とを具備する。

【0015】また、本発明の他の実施の形態に係る半導体記憶装置は、半導体基板と、半導体基板上に形成され、ゲート及びゲートを挟んで対向して配置された第1拡散層及び第2拡散層を有するトランジスタと、第1拡散層に接続された第1プラグ電極と、第2拡散層に接続された第2プラグ電極と、第1プラグ電極から離間して前記第1拡散層に接続された第3プラグ電極と、第2プラグ電極に接続されたビット線と、第1拡散層に第1プラグ電極を介して接続された第1電極と、第1電極上に形成された第1強誘電体膜と、第1強誘電体膜上に形成された第2電極と、第2電極上に形成された第2強誘電体膜と、第2強誘電体膜上に形成された第3電極と、第3電極に接続され、第3プラグ電極を介して第1拡散層に接続された配線とを具備する。

【0016】また、本発明の他の実施の形態に係る半導

9

体記憶装置は、対向する上側電極、下側電極間に第1強誘電体膜を有する第1強誘電体キャパシタと、対向する上側電極、下側電極間に第2強誘電体膜を有する第2強誘電体キャパシタとを具備し、前記第1強誘電体キャパシタの上側電極を前記第1、第2の強誘電体キャパシタの共通電極として、前記第2強誘電体キャパシタが前記第1強誘電体キャパシタの上側に積層された強誘電体キャパシタ部とを有する。

【0017】また、本発明の実施の形態に係る半導体記憶装置の製造方法は、半導体基板上に第1拡散層及びこの第1拡散層から一定距離だけ離間した位置に第2拡散層を形成する工程と、半導体基板上に第1絶縁膜を形成する工程と、第1絶縁膜中に第1拡散層に接続する第1プラグ電極を形成する工程と、第1絶縁膜中に第2拡散層に接続する第2プラグ電極を形成する工程と、半導体基板の上方に第1プラグ電極を介して第1拡散層に接続する第1電極層を形成する工程と、第1電極層を所定形状に加工して第1電極を形成する工程と、第1電極上に第1強誘電体膜を形成する工程と、第1強誘電体膜上に第2電極層を形成する工程と、第2電極層上に第2強誘電体膜を形成する工程と、第2強誘電体膜上に第3電極層を形成する工程と、第2強誘電体膜及び第3電極層を所定形状に加工する工程と、第2電極層を所定形状に加工する工程と、第1強誘電体膜上に第2絶縁膜を形成する工程と、第2絶縁膜中に前記第3電極に接続する第3プラグ電極を形成する工程と、第2絶縁膜中に前記第2プラグ電極に接続する第4プラグ電極を形成する工程と、第2絶縁膜上に前記第3プラグ電極及び第4プラグ電極に接続される配線を形成する工程とを有する。

【0018】また、本発明の他の実施形態に係る半導体記憶装置の製造方法は、半導体基板上に第1拡散層、第1拡散層から一定距離離間した位置に第2拡散層、及び第2拡散層から一定距離離間した位置に第3拡散層を形成する工程と、半導体基板上に第1絶縁膜を形成する工程と、第1絶縁膜中に第1拡散層に接続する第1プラグ電極を形成する工程と、第1絶縁膜中に第2拡散層に接続する第2プラグ電極を形成する工程と、第1絶縁膜中に第3拡散層に接続する第3プラグ電極を形成する工程と、半導体基板の上方に第1プラグ電極を介して第1拡散層に接続する第1電極層を形成する工程と、第1電極層を所定形状に加工して第1電極を形成する工程と、第1電極上に第1強誘電体膜を形成する工程と、第1強誘電体膜上に第2電極層を形成する工程と、第2電極層上に第2強誘電体膜を形成する工程と、第2強誘電体膜上に第3電極層を形成する工程と、第3強誘電体膜及び第3電極層を所定形状に加工する工程と、第2電極層を所定形状に加工する工程と、第1強誘電体膜上に第2絶縁膜を形成する工程と、第2絶縁膜中に第3電極に接続する第4プラグ電極を形成する工程と、第2絶縁膜中に第2プラグ電極及び第2電極に接続する第5プラグ電極を

10

形成する工程と、第2絶縁膜中に第3プラグ電極に接続する第6プラグ電極を形成する工程と、第6プラグ電極及び第4プラグ電極に接続する配線を第2絶縁膜上に形成する工程とを有する。

【0019】

【発明の実施の形態】次に、図面を参照して本発明の実施の形態を説明する。以下の図面において、同一又は類似の部分には、同一又は類似の参照番号を付している。図面は模式的なものであり、厚みと平面寸法との関係、及び各層の厚みの比率等は現実のものとは異なっている。具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれる。

【0020】（第1の実施の形態）図1乃至図5を用いて本実施の形態について説明する。本実施の形態では、1T1C型（1トランジスタ1キャパシタ型）強誘電体メモリに対して本発明に係る積層された強誘電体キャパシタを用いる場合について説明する。

【0021】1T1C型強誘電体メモリでは、複数のキャパシタの一方の電極はそれぞれ同一のプレート線に接続され、複数のキャパシタの他方の電極はこれら複数のキャパシタと1対1に対応するメモリセルトランジスタのソースにそれぞれ接続される。各メモリセルトランジスタのドレインは異なるビット線に接続され、ゲートは同一ワード線に接続される。

【0022】本実施の形態では、各メモリセルトランジスタのソースとプレート線との間に2個の強誘電体キャパシタが並列に接続され、1個のキャパシタのみが各メモリセルトランジスタに接続された従来の構成に比べて、キャパシタの容量が2倍になっている。

【0023】図2は、強誘電体キャパシタを有する半導体記憶装置の平面図である。図2の中央部には、ドレインがビット線17、18に接続された第1、第2メモリセルトランジスタと、第1、第2メモリセルトランジスタのゲートに共通に接続されるワード線（ゲート）25と、プレート線11を共通の電極としてその下部に形成された第1強誘電体キャパシタ20と、その上部に積層して形成された第2強誘電体キャパシタ21と、第2強誘電体キャパシタの上部電極及び第2メモリセルトランジスタのソースを接続するプレート線16が示されている。

【0024】第1強誘電体キャパシタの下部電極は、第1メモリセルトランジスタのソースに接続され、プレート線16は、プレート線コンタクト22を介して半導体基板に形成されたプレートコンタクト拡散層（図示せず）に接続される。図2において、図の左右方向にワード線25とプレート線11が設けられ、ワード線25に直交してビット線17、18等が複数本配置される。プレート線16は、第1、第2強誘電体キャパシタ20、21の共通電極として用いる部分が拡大され、上記の構

造が図2の左右に繰り返されることにより第1の実施の形態に係る半導体記憶装置が構成される。

【0025】次に、図2の“A-B”線上での断面、“C-D”線上での断面、及び“E-F”線上での断面を用いて、本実施の形態に係る半導体記憶装置の構造をさらに詳細に説明する。図2の“A-B”線上での断面を図1に示す。

【0026】図1において、半導体基板1には第1メモリセルトランジスタのソース拡散層2と、拡散層2から一定距離をおいて第2メモリセルトランジスタのソース拡散層200が形成され、半導体基板1上には、第1層間絶縁膜4が形成される。第1層間絶縁膜4中には、ソース拡散層2に電気的に接続されたプラグ5と、ソース拡散層200に電気的に接続されたプラグ6がそれぞれ形成される。

【0027】第1層間絶縁膜4上には強誘電体膜反応防止膜7が設けられる。ここで、強誘電体膜反応防止膜7は、例えば、窒化シリコン膜(SiN)とアルミナ膜(Al_2O_3)又は酸化チタン膜との積層膜からなる。さらにプラグ5上には保護膜8が設けられる。保護膜8は、例えばTiAlN膜と IrO_x 膜との積層膜とからなる。

【0028】保護膜8上には第1強誘電体キャパシタの下部電極9が形成され、保護膜8及び下部電極9上には、全面に亘って第1誘電体キャパシタ20の強誘電体膜10が形成される。強誘電体膜10上には第1強誘電体キャパシタ20の上部電極をなすプレート線11が形成される。

【0029】プレート線11は、“A-B”線上での断面では図2の拡大部のみが示されているが、実際には図2のワード線25に沿って“A-B”線方向に下部電極9より長く形成される。プレート線11上には第2強誘電体キャパシタ21の強誘電体膜12が、図2の“A-B”線方向ではプレート線11よりも短く形成される。強誘電体膜12上には第2強誘電体キャパシタの上部電極13と、プラグ14とが形成される。

【0030】ソース拡散層200のプラグ6上には、強誘電体膜反応防止膜7、強誘電体膜10、及び第2層間絶縁膜19を通して、プラグ6と電気的に接続されたプラグ15が形成される。プラグ14とプラグ15とは、プレート線16を用いて互いに電気的に接続される。プラグ電極5の上方には第1ビット線17が形成され、プラグ6の上方には第2ビット線18が形成される。なお、第2層間絶縁膜19は、強誘電体膜10の上部構造を被覆するように全面に形成される。

【0031】このようにして、下部電極9、強誘電体膜10、プレート線11からなる第1キャパシタ20と、プレート線11、強誘電体膜12、上部電極13からなる第2キャパシタ21が積層して形成される。なお、本実施の形態の構成を示す断面図では、実際には存在する

場合があるプラグ酸化防止膜等が省略されている。

【0032】次に、図1の“C-D”線上での断面を図3に示す。“C-D”線上での断面ではワード線(ゲート)25が下部電極9の下方に形成される。“C-D”線上での断面では上部電極13に接続されたプレート線16の半導体基板1への接続形態は示されないが、プレート線16の上方に、左右方向に延伸して第1ビット線17が配置され、プラグ26、27を介して第1ビット線17が第1メモリセルトランジスタのドレイン拡散層28に電気的に接続され、ビット線電位がメモリセルトランジスタのドレイン拡散層28に与えられる。なお、先に述べたように、第1メモリセルトランジスタのソース拡散層2は、プラグ5を介して下部電極9に接続される。

【0033】次に、図2の“E-F”線上での断面を図4に示す。“E-F”線上での断面では第1ビット線17に隣接して互いに平行に伸びる第2ビット線18の断面と、プラグ6、15を介して第2メモリセルトランジスタのソース拡散層200と電気的に接続されるプレート線16の接続形態が示されているが、プレート線16と上部電極13との接続形態は示されない。また、下部電極9及び上部電極13は示されていない。

【0034】ワード線25を挟んでソース拡散層200と対向する側に第2メモリセルトランジスタのドレイン拡散層201が形成される。ドレイン拡散層201は、プラグ29、30を介して第2ビット線18と電気的に接続される。なお、プレート線11の細い部分の断面が強誘電体膜10上に示されている。

【0035】次に、図2の“C-D”線、“E-F”線近傍の形状を図5(A)の斜視図に示す。図5(B)はその等価回路である。図5(A)に示すように、強誘電体キャパシタが形成される部分では、プレート線11の幅がキャパシタ面積よりも大きくなるように、他の部分に比べて幅が拡大されている。

【0036】先に述べたように、プレート線11の拡大部分と下部電極9との間の強誘電体膜10を用いて第1強誘電体キャパシタ20が形成され、プレート線11の拡大部分と上部電極13との間の強誘電体膜12を用いて第2強誘電体キャパシタ21が第1強誘電体キャパシタ20上に積層して形成される。

【0037】次に、図5(B)の等価回路を用いて、図5(A)に示す第1、第2メモリセルトランジスタと第1、第2強誘電体キャパシタとの接続についてさらに具体的に説明する。

【0038】図5(B)において、ビット線 BL_j 、 BL_{j+1} は第1、第2のビット線17、18に対応し、ワード線 WL_i はワード線25に対応し、またプレート線 PL_i はプレート線11に対応する。ここで、 i 、 j は自然数である。

【0039】トランジスタ Q_{ij1} は、第1ビット線17

13

がドレイン拡散層28に接続された第1メモリセルトランジスタに対応し、トランジスタ Q_{ij2} は、第2ビット線18がドレイン拡散層201に接続された第2メモリセルトランジスタに対応する。キャパシタ C_{ij1} は、プレート線11の拡大部の下部に形成された第1強誘電体キャパシタ20に対応し、キャパシタ C_{ij2} は、プレート線11の拡大部の上部に形成された第2強誘電体キャパシタ21に対応する。

【0040】図5(A)、図5(B)の対比から、図5(A)の左側に位置する第1メモリセルトランジスタは、プラグ5を介して下部電極9とソース拡散層2とが電気的に接続されることにより、ドレイン拡散層28に接続された第1ビット線17と記憶データの授受を行い、図5(A)の右側に位置する第2メモリセルトランジスタは、プラグ6、プラグ15、プレート線16及びプラグ14を介して上部電極13とソース拡散層200とが電気的に接続されることにより、ドレイン拡散層201に接続された第2ビット線18と記憶データの授受を行うことが示されている。

【0041】なお、図5(B)に示す等価回路では、キャパシタ C_{ij1} 、 C_{ij2} の一方の電極が共通のプレート線 P_{Li} に接続されているが、図5(A)の斜視図では、プレート線11の拡大部を共通電極として、第1、第2の強誘電体キャパシタが上下に積層するように立体的に接続されることが注目される。

【0042】ここで、強誘電体膜10、12の厚さは、例えば約 $0.1\mu m$ から約 $0.3\mu m$ の範囲内であり、下部電極9、プレート線11及び上部電極13の厚さは約 $0.1\mu m$ から約 $0.2\mu m$ の範囲内であり、また、ワード線(ゲート)25の幅は約 $0.2\mu m$ である。これらの各構成要素の寸法は一例として示すものであり、設計、仕様により変更することが可能である。

【0043】なお、下部電極9、プレート線11及び上部電極13の材料としては、 Ti 膜上に積層された Pt 膜等が使用される。 Pt 膜の厚さは、例えば約 $0.1\mu m$ とする。下部電極としては、例えば Pt 膜の下に Si 層や金属層を形成してもよい。また、下部電極の材料として Ir 、 IrO_2 の他 $Ti/TiN/Pt$ 等の積層構造や $SrRuO$ 、 Ru 、 RuO 等を用いることができる。

【0044】強誘電体膜の材料としては、 $SrBiTaO$ の混成膜や $PbZrTiO$ の混成膜、 PZT すなわち $Pb(Zr_{1-x}Ti_xO_3)$ 等が使用される。 PZT 膜の場合膜厚は例えば約 $0.15\mu m$ とする。 $BaSrTiO$ 系の混成膜も使用することができる。この他、 $BaTiO_3$ 、 $PLZT$ 、 $LiNbO_3$ 、 $K_3Li_2Nb_5O_{15}$ 等も使用することができる。すなわち、イオン結合性を有する酸化物強誘電体膜は、いずれも強誘電体膜の材料として有効である。層間絶縁膜としては、 $BPSG$ や $TEOS$ 膜を用いることができる。ビット線は例えば Al 等

14

の金属を用いて形成することができる。

【0045】上記のように、本実施形態では、メモリセルキャパシタとして強誘電体膜を介在させたキャパシタを垂直方向に2段積層して配置する。このようにすれば、強誘電体キャパシタを同一平面上に1段配置する従来の構造に比べて高集積化に適しており、キャパシタンスを減少させることなくビット線やワード線の間隔を縮小することができる。また、従来に比べて集積度を下げることなくキャパシタ面積を増加させ、強誘電体キャパシタへのプロセスダメージを低減することができる。

【0046】(第2の実施の形態)次に、図6乃至図24を用いて第2の実施の形態について説明する。第2の実施形態では、第1の実施の形態で説明した強誘電体キャパシタを具備する半導体記憶装置の製造方法を図1の“A-B”線上での断面を用いて工程順に説明する。

【0047】図6に示すように、シリコン基板上に第1メモリセルトランジスタのソース拡散層2、及びソース拡散層2から一定距離だけ離れた位置に第2メモリセルトランジスタのソース拡散層200を形成する。このとき、ワード線を介してソース拡散層2、200に対向する位置に第1、第2のメモリセルトランジスタのドレイン拡散層(図示せず)が同時に形成される。次に、シリコン酸化膜からなる第1層間絶縁膜4を形成し、化学的機械的研磨法(以下、CMP (Chemical Mechanical Polish) という)を用いて基板表面を平坦化する。

【0048】次に、図7に示すように、プラグ電極を形成するため第1層間絶縁膜4上にホトレジスト40を形成し、リソグラフィ(以下、PEP (Photo Engraving process) という)を行う。

【0049】次に、図8に示すように、ホトレジスト40をマスクとしてドライエッチングにより、第1、第2メモリセルトランジスタのソース拡散層2、200上にプラグ電極形成用のコンタクトプラグ窓41、202を開口し、ホトレジスト40を除去する。

【0050】次に、図9に示すように、プラグ電極材料膜42を化学反応を伴う気相成長方法(以下、CVD法 (Chemical Vapor Deposition) という)を用いて堆積する。プラグ電極の材料としてはタングステンを用いる。なお、金属膜に替えてポリシリコン膜を埋め込んでも良い。

【0051】次に、図10に示すように、プラグ電極材料膜42の平坦化を行い、第1、第2メモリセルトランジスタのソース拡散層2、200上にプラグ5、6をそれぞれ形成する。

【0052】次に、図11に示すように、プラグ5、6及び層間絶縁膜4上に、プラグ電極酸化防止膜43として厚さ約 $0.1\mu m$ の窒化シリコン膜(SiN)を形成する。次に、プラグ電極酸化防止膜43上に、強誘電体膜と反応しない強誘電体膜反応防止膜44として、厚さ約 $0.02\mu m$ のアルミナ膜(Al_2O_3)、又は厚さ約

15

0.02 μm の酸化チタン膜を堆積する。

【0053】次に、図12に示すように、ホトレジスト45を用いてPEPを行い、プラグ5、6上のプラグ電極酸化防止膜43及び強誘電体膜反応防止膜44をドライエッチングにより除去し、コンタクトプラグ窓46を形成する。

【0054】次に、図13に示すように、厚さ約0.05 μm のTiAlN膜47をスパッタにより堆積し、さらに厚さ約0.05 μm のIrO_x膜48をスパッタにより堆積する。

【0055】次に、図14に示すように、プラグ電極酸化防止膜43をストッパーとして、IrO_x膜48及びTiAlN膜47を平坦化し、プラグ電極5、6上に埋め込むように形成する。

【0056】次に、図15に示すように、第1強誘電体キャパシタの下部電極9の材料膜49をスパッタにより堆積し、図16及び図17に示すように、ホトレジスト50を塗布してPEPを行い、ドライエッチングにより下部電極9を形成し、ホトレジスト50を除去する。下部電極9の材料膜49としては厚さ約0.1 μm のPt膜を堆積する。

【0057】次に、図18に示すように全面に第1強誘電体キャパシタの強誘電体膜10、プレート線11の材料膜51、第2強誘電体キャパシタの強誘電体膜12、上部電極13の材料膜52、及び保護膜53を堆積する。

【0058】強誘電体膜10、12の材料としては厚さ約0.15 μm のPZT (PbZr_{1-x}TiO_x)膜を形成する。プレート線11の材料膜51及び上部電極13の材料膜52として、厚さ約0.1 μm のPt膜を形成し、保護膜53として、厚さ約0.01 μm のAl₂O₃膜を堆積する。各膜を堆積した後、酸素雰囲気中で約650℃、30秒の高速加熱処理(Rapid Thermal Anneal (RTA))を行い、強誘電体膜10、12を結晶化する。

【0059】次に、図19に示すように、ホトレジスト54を下部電極9の上方の保護膜53上に形成する。次に、図20に示すようにPEPを行い、保護膜53、上部電極13の材料膜52、及び第1強誘電体キャパシタの強誘電体膜12をドライエッチングにより加工する。次に、図21に示すように、ホトレジスト55を形成してリソグラフィを行い、図20の材料膜51を加工してプレート線11を形成する。

【0060】次に、図22に示すように、全面にシリコン酸化膜からなる第2層間絶縁膜19をCVDにより堆積し、CMPを用いて第2層間絶縁膜19を平坦化する。

【0061】次に、図23に示すように、ホトレジスト56を塗布してPEPを行い、プラグ5、6の上方に、プレート線16と接続するコンタクトプラグ窓57をド

16

ライエッチングにより形成する。次に、約650℃、1時間の酸素アニールを行い、強誘電体特性のプロセスダメージを回復させる。

【0062】次に、図24に示すように、スパッタ法を用いてプラグ14、15及びプレート線16の材料膜を堆積し、プラグ14、15及びプレート線16を一体構造として形成する。ここで、プラグ14、15及びプレート線16の材料膜としては、Al/TiNを用いる。

【0063】このように、第2の実施の形態の製造方法によれば、キャパシタを積層して形成しキャパシタ面積を従来よりも大きくすることで、単位セル容量あたりのプロセスダメージを低減することができる。

【0064】また、2重に積層されたキャパシタを上側と下側で別々のメモリセルキャパシタとして利用することが可能となり、1キャパシタあたりのキャパシタンスは従来と変わらないが、隣接するメモリセルにおいて、積層された上側及び下側キャパシタのいずれか一方を使用することにより、ワード線間隔を狭めることが可能になり、高集積化されたメモリセルを得ることができる。

【0065】(第3の実施の形態) 次に、図26乃至図27を用いて第3の実施の形態に係る半導体記憶装置について説明する。本実施の形態では第1の実施の形態の変形例について説明する。

【0066】図25は、本実施の形態に係る半導体記憶装置の平面図である。図25に示すように、本実施の形態では図2に示す第1の実施の形態に比べてビット線間隔が2倍になっている。

【0067】第1の実施形態では図2の中央部において、同一プレート線11を共通の電極として第1、第2強誘電体キャパシタ20、21が積層して形成され、ドレイン拡散層28、201がそれぞれ第1、第2ビット線17、18に接続された第1、第2メモリセルトランジスタにより強誘電体キャパシタ20、21との記憶データの授受が行われていた。

【0068】しかし、第3の実施の形態では図25の中央部において、ソース拡散層2とプレート線11との間に並列に接続された第1、第2強誘電体キャパシタ20、21との記憶データの授受が、第1のビット線17にドレイン拡散層28が接続された第1のメモリセルトランジスタのみにより行われることが第1の実施の形態と異なっている。このため、第3の実施の形態では、第1の実施の形態に比べてビット線間隔が2倍になっている。その他の構成は、第1の実施の形態の平面図と同様であるため説明を省略する。

【0069】図25のG-H断面を図26に示す。図26では、第1強誘電体キャパシタ20の下部電極9がプラグ5を介して第1メモリセルトランジスタのソース拡散層2に接続されている。さらに、第2強誘電体キャパシタの上部電極13が、プラグ14、プレート線16、プラグ15、及びプラグ6を介して第1メモリセルトラ

17

ンジスタのソース拡散層 2 に接続されている。すなわち、1 個のソース拡散層 2 と共通のプレート線 11 との間に、第 1、第 2 の強誘電体キャパシタ 20、21 が並列に接続されている。

【0070】図 25 の G-H 断面を示す図 26 と、図 2 の A-B 断面を示す図 1 とを比較すれば、第 3 の実施の形態におけるソース拡散層 2 は、第 1 の実施形態におけるソース拡散層 2 と 200 が一体化されたものになっている。

【0071】図 25 の I-J 断面は、図 2 の C-D 断面、すなわち図 3 と同じであるため説明を省略する。図 25 の K-L 断面は図 27 (A) に示すように、第 1 の実施の形態における図 4 に比べて、第 1 トランジスタのドレイン拡散層 201 が第 2 ビット線 18 に接続されていない。

【0072】さらに具体的に述べれば、第 3 の実施の形態では、第 1 の実施の形態における第 1、第 2 メモリセルトランジスタのソース拡散層 2 と 200 が一体化されて共通ソース拡散層 2 となり、ワード線 25 を介して共通ソース拡散層 2 に対向するドレイン拡散層 28 (図 27 (A) の断面には示されていない) と、第 1 ビット線 17 とが電気的に接続される。

【0073】上記のように、第 3 の実施の形態では、ワード線 25 を介して共通ソース拡散層 2 に対向するドレイン拡散層 201 は第 2 のビット線 18 と接続されないため、ドレイン拡散層 201 はダミーのドレイン拡散層となる。このため、第 1 の実施の形態における第 1、第 2 メモリセルトランジスタは、第 3 の実施の形態では実効的に第 1 メモリセルトランジスタのみとなり、共通ソース拡散層 2 とプレート線 11 との間に並列に接続された第 1、第 2 強誘電体キャパシタと記憶データの授受を行うことになる。

【0074】ここで、第 1 ビット線 17 に接続されるドレイン拡散層 28 と分離したダミーのドレイン拡散層 201 を形成する必要はないと考えられるが、マスクパターンの規則性等の観点から、ダミーのドレイン拡散層 201 を残した方が微細化に対して有利に働くことがあるので、第 3 の実施の形態ではダミーのドレイン拡散層 201 を残す場合と、ドレイン拡散層 28 と一体化するか又はダミーのドレイン拡散層 201 を削除する場合がある。

【0075】図 27 (B) に第 3 の実施の形態の等価回路を示す。ここで、BLj、WLj は第 1 ビット線 17、ワード線 25 に対応し、PLi はプレート線 11 に対応する。

【0076】Qij、及び Cij1、Cij2 は、第 1 メモリセルトランジスタ、及び第 1、第 2 の強誘電体キャパシタに対応する。

【0077】第 3 の実施の形態によれば、積層された第 1、第 2 の強誘電体キャパシタを用いることで 1 個のメ

18

モリセルトランジスタに接続されるメモリセルキャパシタの容量を増大することができる。すなわち、強誘電体キャパシタを積層することにより、従来に比べてより大面積のメモリセルキャパシタを有する半導体記憶装置を提供することが可能になる。

【0078】(第 4 の実施の形態) 次に、図 28 乃至図 31 を用いて第 4 の実施の形態の半導体記憶装置について説明する。本実施の形態では、TC 並列ユニット直列接続型強誘電体メモリに対して、本発明の積層された強誘電体キャパシタ構成を適用する例について説明する。

【0079】図 28 は第 4 の実施の形態に係る半導体記憶装置の平面図である。図 28 に示すように、第 4 の実施の形態の半導体記憶装置では、1 個のメモリセルトランジスタと、積層された第 1、第 2 強誘電体キャパシタ 75、76 とが並列接続された単位をユニットセルとし、このユニットセルが複数個直列接続された構成となっている。

【0080】すなわち、第 1 強誘電体キャパシタ 75 の下部電極がワード線 WL (ゲート) に隣接したソース/ドレイン領域のいずれか一方に接続され、その上に積層された第 2 強誘電体キャパシタ 76 の上部電極がソース/ドレインの他方に接続されることでユニットセルが構成される。なお、第 1 強誘電体キャパシタ 75 は共通電極 69 の下部に形成され、第 2 の強誘電体キャパシタは共通電極 69 の上部に形成される。

【0081】メモリセルの 1 ブロックは 8 又は 16 ビットのユニットセルから構成される。なお、図 28 には、互いに隣接する積層型の第 1、第 2 の強誘電体キャパシタにおいて第 2 の上部電極同士を接続する配線 86 と、ワード線方向に引き出された共通電極 69 が示されている。

【0082】このように、積層された第 1、第 2 強誘電体キャパシタと、その下方のメモリセルトランジスタとが図 28 の左右方向に繰り返し配置され、1 ブロックのメモリセルが形成され、さらに複数個の上記メモリセルブロックが同一方向に繰り返し配置される。また、メモリセルブロックの長手方向に直交して複数のワード線 WL が配置される。

【0083】ここで、1 つのメモリセルブロック中のメモリセルトランジスタ及び強誘電体膜を備えるメモリセルキャパシタの個数は通常 8 又は 16 個であるが、場合により他の個数を適宜設定することができる。各メモリセルトランジスタは、メモリセルブロック内で直列に接続される。メモリセルトランジスタの各ゲートは 1 本のワード線を形成する。

【0084】図 28 の M-N 断面を図 29 (A) に示す。図 29 (A) において、半導体基板 1 に第 1 拡散層 60 及び第 2 拡散層 61 が形成される。ここで、第 1、第 2 拡散層はソース/ドレイン拡散層のいずれかであり、図 29 (A) の M-N 断面では、第 2 拡散層 61 の

10

20

30

40

50

19

みが示される。第1拡散層60と第2拡散層61との間には、ワード線(ゲート)77が形成され、図29(A)のM-N断面では示されていない。

【0085】半導体基板1及びワード線77上には、第1層間絶縁膜62が形成される。第1層間絶縁膜62には、第1拡散層60に電氣的に接続されるプラグ63と、第2拡散層61に電氣的に接続されるプラグ64とが形成されるが、図29(A)のM-N断面では第1拡散層60とプラグ63は示されていない。

【0086】第1層間絶縁膜62上には強誘電体膜反応防止膜65が形成される。強誘電体膜反応防止膜65は、例えば窒化シリコン膜(SiN)と、これに積層されたアルミナ膜(Al_2O_3)又は酸化チタン膜からなる。強誘電体反応防止膜65中のプラグ64上には保護膜66が形成される。保護膜66は例えば、TiAlN膜とその上に形成された IrO_x 膜からなる。

【0087】プラグ63と保護膜66を介して電氣的に接続される第1強誘電体キャパシタの下部電極67上には、強誘電体膜68が形成され、強誘電体膜68上には第2強誘電体キャパシタとの共通電極69が形成される。共通電極69は、図29(A)のM-N線上では下部電極67の長さよりも長く形成される。共通電極69上には強誘電体膜70が形成される。強誘電体膜70は、図29(A)のM-N線上では共通電極69より短く形成される。

【0088】強誘電体膜70上には上部電極71が形成され、上部電極71上にはプラグ72が形成される。一方、保護膜66を介してプラグ64と電氣的に接続されるプラグ73が、強誘電体膜反応防止膜65、強誘電体膜68、及び共通電極69を通じて形成される。このとき、第2拡散層61と、第1、第2の強誘電体キャパシタの共通電極69とが電氣的に接続される。また、これらの各構成要素を被覆するように第2層間絶縁膜74が形成される。

【0089】ここで、プラグ72の上端部は配線86に接続されるが、プラグ73の上端部はどこにも接続されず、ダミープラグとなっている。従ってプラグ73の役割はプラグの下部で共通電極69と電氣的に接続されることのみであり、共通電極69の上部に突き出た部分はなくともよいと考えられる。

【0090】しかし、第5の実施の形態で示されるように、本発明のメモリセルの構成に必要な多数のプラグは、同一層間絶縁膜中において一括形成されるので、プラグの高さを揃えた方が工程数が少ない利点がある。このため、プラグ73をダミープラグとして形成している。

【0091】このようにして、下部電極67、強誘電体膜68、及び共通電極69からなる第1強誘電体キャパシタ75が形成され、第1強誘電体キャパシタ75上に共通電極69、強誘電体膜70、及び上部電極71から

20

なる第2強誘電体キャパシタ76が形成される。なお、第4の実施の形態の構成を示す断面図では、実際には存在する場合があるプラグ電極酸化防止膜等が省略されている。

【0092】図29(B)は、図28のO-P断面図である。実際には、図29(B)に示す構成が図の左右方向に繰り返し配置される。この断面では、第1乃至第5のワード線(ゲート)77、78、79、207、208が下部電極67の下方に形成される。第1乃至第5のワード線77、78、79、207、208の両側の半導体基板1には、第1拡散層60、第2拡散層61、第3拡散層80、第4拡散層81、第5拡散層205、第6拡散層209が形成される。

【0093】第1層間絶縁膜62中には、第1拡散層60に電氣的に接続されたプラグ63と、第3拡散層80に電氣的に接続されたプラグ82と、第5拡散層205に電氣的に接続されたプラグ83が形成される。第1層間絶縁膜62上には強誘電体膜反応防止膜65が形成される。

【0094】強誘電体膜反応防止膜65中のプラグ63、83上には保護膜66が形成され、保護膜66上には下部電極67が図29(B)の2ヶ所に形成される。保護膜66及び下部電極67上には、強誘電体膜68、共通電極69、強誘電体膜70、及び上部電極71が順に積層され、このように積層された第1、第2強誘電体キャパシタが図29(B)の3ヶ所に形成される。

【0095】上部電極71のうち、左端の上部電極71上にはプラグ72が形成され、中央の上部電極71上にはプラグ85が形成される。また、プラグ72と85とを互いに接続する配線86が形成される。また、配線86とプラグ82とを接続するプラグ87が強誘電体膜反応防止膜65を通じて形成される。さらに各構成要素を被覆するように第2層間絶縁膜74が形成される。

【0096】図29(B)に示す断面図では、ゲート77の上方に設けられた第2強誘電体キャパシタの上部電極71と、ゲート79の上方に設けられた第2強誘電体キャパシタの上部電極71とが配線86を用いて電氣的に接続される。なお、図28のM-N線近傍の形状が図30に斜視図として示されている。図30における奥手の左右方向が図28におけるO-P線近傍の形状を示している。

【0097】図30の斜視図において、積層された第1、第2の強誘電体キャパシタの共通電極69とプラグ64とを電氣的に接続するダミーのプラグ73が共通電極69の上方に突き出すように形成される。

【0098】図30の等価回路が図31に示されている。Qi、Qi+1は図30の左側にソース/ドレイン拡散層を共通にして互いに直列接続された2個のメモリセルトランジスタに対応し、Ci、Ci+1は図30の左側に積層された第1、第2の強誘電体キャパシタに対応する。

なお、WLi、WLi+1は2個のメモリセルトランジスタのゲートに対応する。

【0099】第4の実施の形態において、強誘電体膜68、70の厚さは、例えば0.1 μ mから0.3 μ mの範囲である。下部電極67、共通電極69及び上部電極71の厚さは0.1 μ mから0.2 μ mの範囲である。また、各ゲート(ワード線)77、78、79、207、208の厚さは約0.2 μ mである。これらの各構成要素のサイズは一例として示すものであり、設計、仕様により変更することが可能である。

【0100】なお、下部電極67、共通電極69及び上部電極71の材料膜としてはTi膜上に積層された厚さ約0.1 μ mのPt膜等が使用される。Pt膜の下部電極としては、Si層や金属層を用いてもよい。Ir、IrO₂、Ti/TiN/Ptからなる積層構造やSrRuO₃、Ru、RuO₃等も下部電極として使用することができる。

【0101】強誘電体膜としてはSrBiTaO混成膜やPbZrTiO₃(PZT; Pb(Zr_xTi_{1-x})O₃)等の混成膜が使用される。PZT膜の場合、膜厚は、例えば約0.15 μ mとする。このほか、BaSrTiO₃系の混成膜やBaTiO₃、PLZT、LiNbO₃、K₃Li₂Nb₅O₁₅等も強誘電体膜として使用することができる。すなわち、イオン結合性を有する酸化物強誘電体膜は、いずれも強誘電体キャパシタ膜として有効である。層間絶縁膜はBPSGやTEOSを用いて形成される。ビット線は例えばAlなどの金属を用いて形成される。

【0102】第4の実施の形態で述べたように、強誘電体キャパシタを積層して配置することは、1個の強誘電体キャパシタを同一平面上に配置する従来構造よりも高集積化に適しており、キャパシタの容量を減少させずにビット線間距離及びワード線間距離を縮小することができる。また、キャパシタ面積を従来より大きくしても集積度を低下させることなく、キャパシタへのプロセスダメージを低減することが可能になる。

【0103】また、従来と同一キャパシタ面積となるように本実施の形態を構成した場合には、ワード線の幅と間隔が狭められるので、キャパシタ下方のメモリセルトランジスタの面積を従来の半分にすることが可能になり、大幅な高集積化を図ることができる。すなわち、本実施の形態によれば、従来技術に比べてメモリセルトランジスタ当たりのキャパシタ面積を大きくすることができ

【0104】このように、強誘電体キャパシタを積層することにより、高集積度で、かつ大面積の強誘電体キャパシタを有する強誘電体メモリを容易に実現することができる。ここでは、COP(Capacitor On Plug)構造をとっているため、プラグをキャパシタ領域中に設けることによりプラグ分の面積を縮小することが可能となり

高集積化に有効である。しかし、本発明はCOP構造に限定されるものではなく、他の構造に対しても広く適用することができる。

【0105】(第5の実施の形態)次に、図32乃至図36を用いて第5の実施の形態について説明する。本実施の形態では、第4の実施の形態で説明した強誘電体キャパシタの製造方法の1例について説明する。

【0106】図29(A)に示す断面構造を有する強誘電体キャパシタの製造工程を図32乃至図36に示す。第5の実施の形態に係る強誘電体キャパシタの製造方法において、第2の実施の形態で説明した図6乃至図20までの工程がそのまま適用できるので、図20の次の工程から説明する。

【0107】まず、図32に示すように、上部電極71の保護膜91上、及び共通電極膜92上にホトレジスト90を形成する。次に、図33に示すようにPEPを行い、共通電極膜92を加工して共通電極69を形成し、積層された第1、第2強誘電体キャパシタを形成する。

【0108】次に、図34に示すように、第1、第2強誘電体キャパシタ上にシリコン酸化膜からなる第2層間絶縁膜74をCVDにより堆積し、第2層間絶縁膜74の表面を平坦化する。

【0109】次に、図35に示すように、ホトレジスト93を形成しPEPを行い、プラグ63及びプラグ64の上方にプラグ電極形成用のコンタクトプラグ窓94をドライエッチングにより形成する。

【0110】次に、650℃、1時間の酸素アニールを行い、強誘電体特性のプロセスダメージを回復させた後、図36に示すように、プラグ及び配線の材料膜をスパッタ法により堆積し、パターニングしてプラグ72、73と配線86を一括形成する。なお、プラグ72の下方には、プラグ及び配線材料の拡散防止層210が形成されている。さらにプラグ73の下方にはプラグ及び配線材料の拡散防止層211が形成されている。

【0111】ここで、プラグ電極材料としてAl/TiNを用いた。TiN層は、プラグ72や配線86の下部表面と上部電極71及び保護膜91との間において、Alの拡散を防止する拡散防止層であり、他の拡散防止層を用いることも可能である。

【0112】なお、図29(B)に示す第5の実施の形態における断面構造の形成において、上部電極71と第3拡散層80との接続は、図24に示す第2の実施の形態における上部電極13とソース拡散層200との接続と同様に行うことができる。

【0113】このように、第5の実施の形態の製造方法によれば、キャパシタを積層して形成することで、従来1個のトランジスタ上に1個のキャパシタが形成されていたのに対して、2個のトランジスタ上に2個のキャパシタが積層して形成されるので、各キャパシタ面積が2個のトランジスタ領域分となり、従来よりも大きくする

23

ことができる。このため、メモリセルサイズが縮小されてもキャパシタ面積に対するセルサイズ縮小の影響が小さく、プロセスダメージを低減することで製造過程における不良発生を防止し、半導体記憶装置の信頼性を向上することが可能になる。

【0114】第5の実施形態によれば、下部電極67が隣接するトランジスタ同士で共有化されるので、第1の実施形態に比べてさらに高集積化が達成される。第5の実施の形態の直接接続では、2層構造の強誘電体膜を有するキャパシタを2個ずつ組み合わせ、1個のプラグを用いて、上部電極を半導体基板中の拡散層と接続している。このため、上部電極と拡散層とを接続するプラグを設ける領域を大幅に削減することができる。なお、本発明は上記の実施形態に限定されるものでなく、その要旨を逸脱しない範囲で種々変形して実施することができる。

【0115】

【発明の効果】本発明によれば、メモリセルのキャパシタ容量を減少させることなく集積度を高めることが可能な半導体記憶装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係るメモリセルの構成を示す図2における“A-B”線上の断面図。

【図2】 本発明の第1の実施の形態のメモリセルの構成を示す上面図。

【図3】 本発明の第1の実施の形態に係るメモリセルの構成を示す図2における“C-D”線上の断面図。

【図4】 本発明の第1の実施の形態に係るメモリセルの構成を示す図2における“E-F”線上の断面図。

【図5】 (A)は、本発明の第1の実施の形態に係るメモリセルの構成を示す図2における“C-D”線上及び“E-F”線上付近の断面図であり、(B)は、図5(A)に示された構成の等価回路図である。

【図6】 本発明の第2の実施の形態のメモリセルの製造方法の一工程を示す断面図。

【図7】 本発明の第2の実施の形態のメモリセルの製造方法の一工程を示す断面図。

【図8】 本発明の第2の実施の形態のメモリセルの製造方法の一工程を示す断面図。

【図9】 本発明の第2の実施の形態のメモリセルの製造方法の一工程を示す断面図。

【図10】 本発明の第2の実施の形態のメモリセルの製造方法の一工程を示す断面図。

【図11】 本発明の第2の実施の形態のメモリセルの製造方法の一工程を示す断面図。

【図12】 本発明の第2の実施の形態のメモリセルの製造方法の一工程を示す断面図。

【図13】 本発明の第2の実施の形態のメモリセルの製造方法の一工程を示す断面図。

24

【図14】 本発明の第2の実施の形態のメモリセルの製造方法の一工程を示す断面図。

【図15】 本発明の第2の実施の形態のメモリセルの製造方法の一工程を示す断面図。

【図16】 本発明の第2の実施の形態のメモリセルの製造方法の一工程を示す断面図。

【図17】 本発明の第2の実施の形態のメモリセルの製造方法の一工程を示す断面図。

【図18】 本発明の第2の実施の形態のメモリセルの製造方法の一工程を示す断面図。

【図19】 本発明の第2の実施の形態のメモリセルの製造方法の一工程を示す断面図。

【図20】 本発明の第2の実施の形態のメモリセルの製造方法の一工程を示す断面図。

【図21】 本発明の第2の実施の形態のメモリセルの製造方法の一工程を示す断面図。

【図22】 本発明の第2の実施の形態のメモリセルの製造方法の一工程を示す断面図。

【図23】 本発明の第2の実施の形態のメモリセルの製造方法の一工程を示す断面図。

【図24】 本発明の第2の実施の形態のメモリセルの製造方法の一工程を示す断面図。

【図25】 本発明の第3の実施の形態に係るメモリセルの平面図。

【図26】 本発明の第3の実施の形態に係る図25における“G-H”線上での断面図。

【図27】 (A)は、本発明の第3の実施の形態に係る図25における“K-L”線上での断面図であり、

(B)は、第3の実施の形態に係るメモリセルの等価回路図である。

【図28】 本発明の第4の実施の形態に係るメモリセルの平面図。

【図29】 (A)は、本発明の第4の実施の形態に係る図28における“M-N”線上での断面図であり、

(B)は、本発明の第4の実施の形態に係る図28における“O-P”線上での断面図である。

【図30】 本発明の第4の実施の形態に係る図28における“M-N”線及び“O-P”線上近傍の斜視図。

【図31】 本発明の第4の実施の形態に係る図30の等価回路図。

【図32】 本発明の第5の実施の形態のメモリセルの製造方法の一工程を示す断面図。

【図33】 本発明の第5の実施の形態のメモリセルの製造方法の一工程を示す断面図。

【図34】 本発明の第5の実施の形態のメモリセルの製造方法の一工程を示す断面図。

【図35】 本発明の第5の実施の形態のメモリセルの製造方法の一工程を示す断面図。

【図36】 本発明の第5の実施の形態のメモリセルの製造方法の一工程を示す断面図。

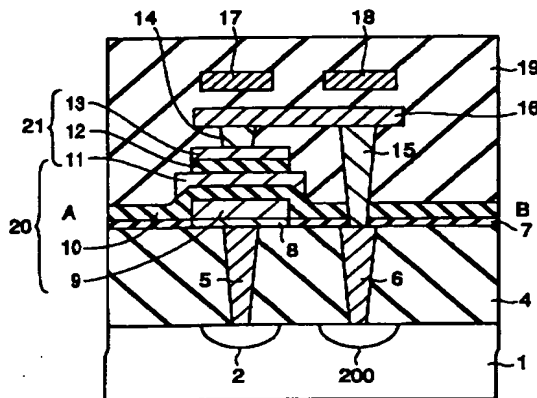
25

【図37】 従来の強誘電体メモリの構造を示す断面図。

【符号の説明】

- 1 半導体基板
 2、200 ソース拡散層（共通ソース拡散層）
 4、62 第1層間絶縁膜
 5、6、14、15、26、27、29、30、63、64、72、73、82、83、85、87 プラグ
 7、44、65 強誘電体反応防止膜
 8、53、66、91 保護膜
 9、67 下部電極
 10、12、68、70 強誘電体膜
 11、16 プレート線
 13、71 上部電極
 17 第1ビット線
 18 第2ビット線
 19、74 第2層間絶縁膜
 20、75 第1強誘電体キャパシタ
 21、76 第2強誘電体キャパシタ
 22 プレート線コンタクト
 25、77、78、79、207、208 ワード線 *

【図1】



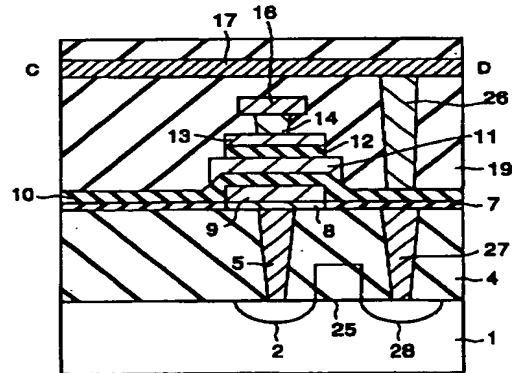
- 1 半導体基板
 2, 200 ソース拡散層
 4 第1層間絶縁膜
 5, 6, 14, 15 プラグ
 7 強誘電体反応防止膜
 8 保護膜
 9 下部電極
 10, 12 強誘電体膜
 11, 16 プレート線
 13 上部電極
 17 第1ビット線
 18 第2ビット線
 19 第2層間絶縁膜
 20 第1強誘電体キャパシタ
 21 第2強誘電体キャパシタ

26

* (ゲート)

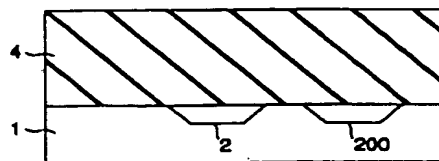
- 28、201 ドレイン拡散層
 40、45、50、54、55、56、90、93 ホトレジスト
 41、46、57、94、202 コンタクトプラグ窓
 42 プラグ電極材料膜
 43 プラグ電極酸化防止膜
 47 TiAlN膜
 48 IrO_x膜
 10 49、51、52 材料膜
 60 第1拡散層
 61 第2拡散層
 69 共通電極
 80 第3拡散層
 81 第4拡散層
 86 配線
 92 共通電極膜
 205 第5拡散層
 209 第6拡散層
 20 210、211 拡散防止層 *

【図3】

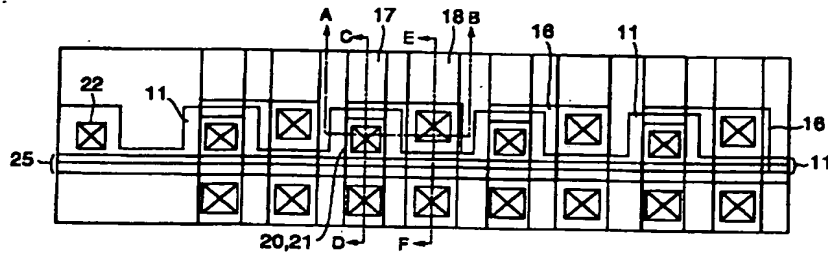


- 26, 27 プラグ
 28 ドレイン拡散層

【図6】

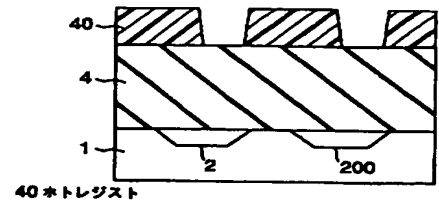


【図2】



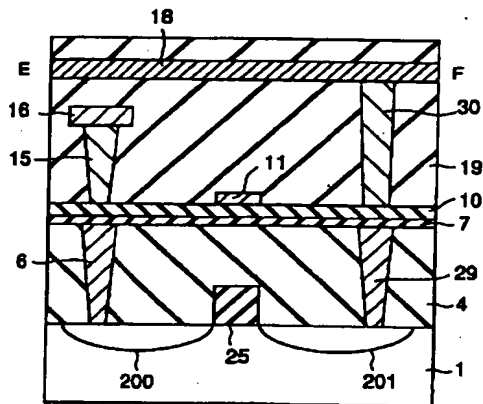
22 プレート線コンタクト
25 ワード線(ゲート)

【図7】



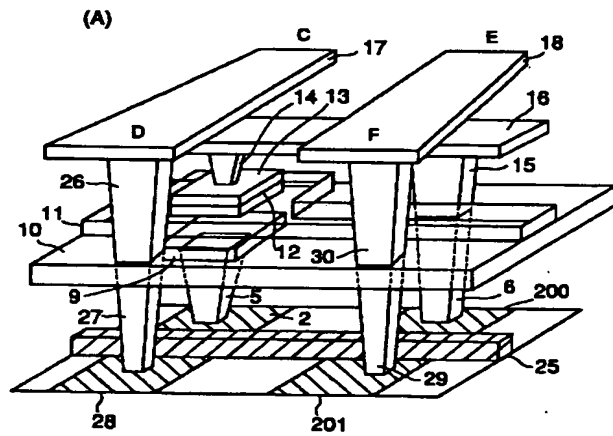
40 ホトレジスト

【図4】

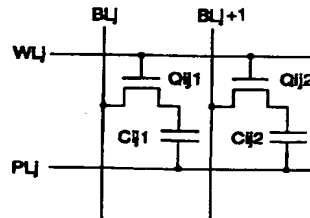


29,30 プラグ
201 ドレイン拡散層

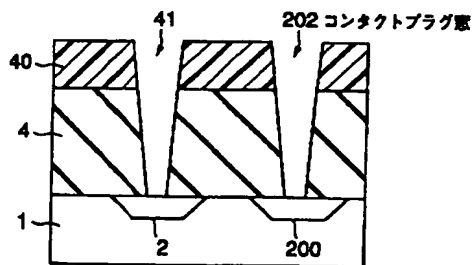
【図5】



(B)

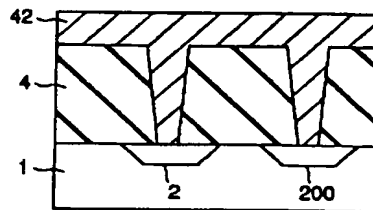


【図8】



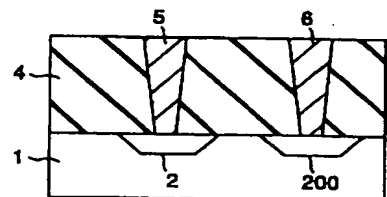
202 コンタクトプラグ高

【図9】

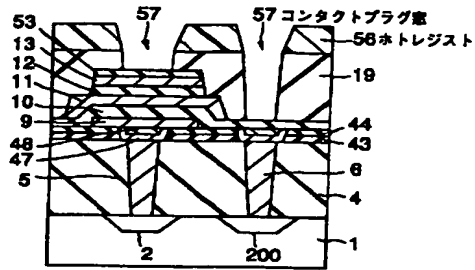


42 プラグ電極材料膜

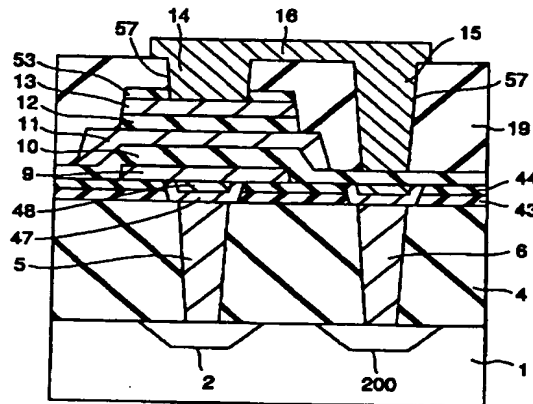
【図10】



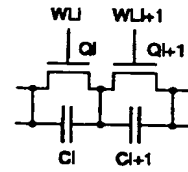
【図23】



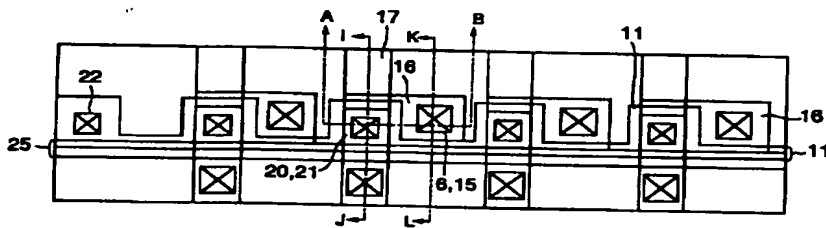
【図24】



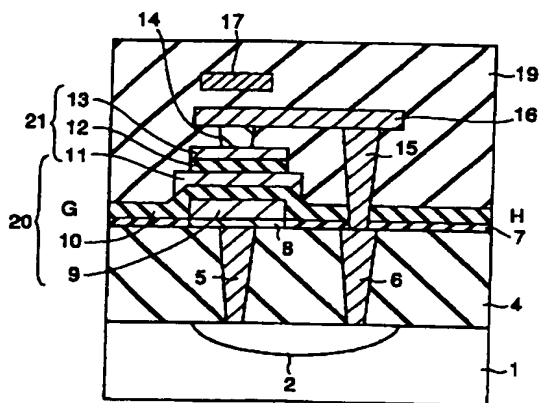
【図31】



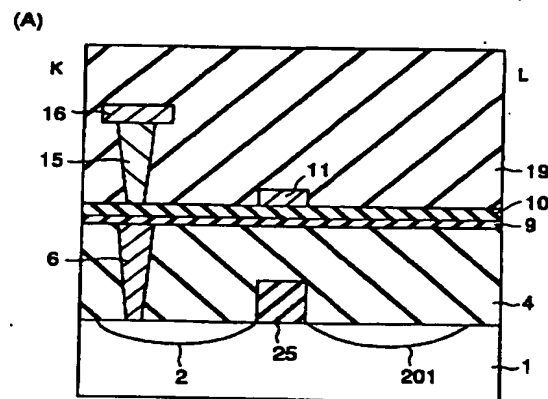
【図25】



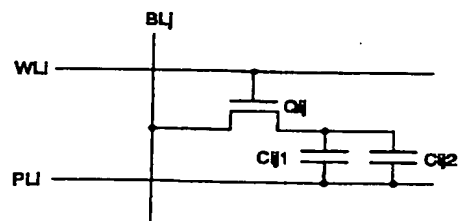
【図26】



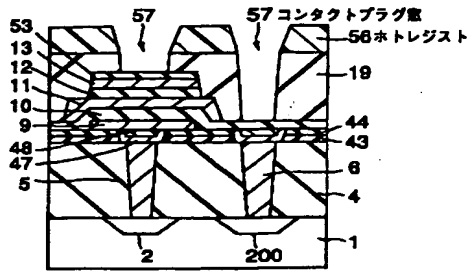
【図27】



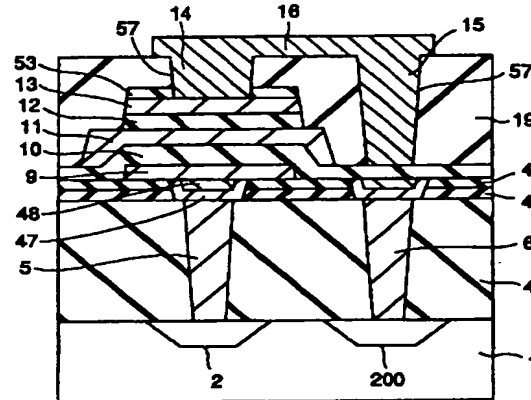
(B)



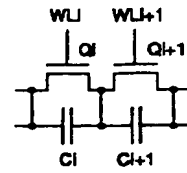
【図23】



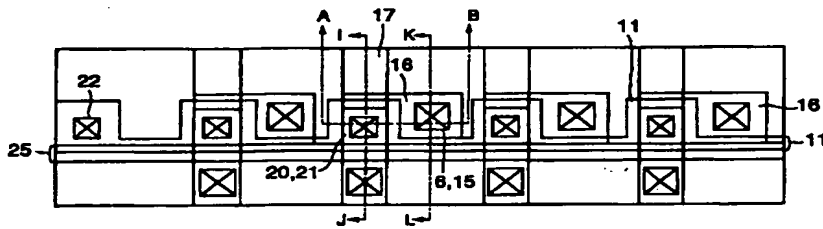
【図24】



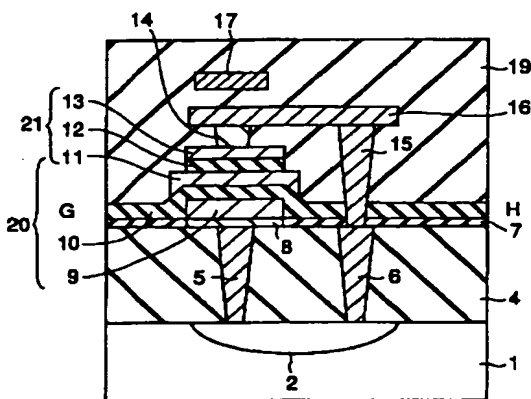
【図31】



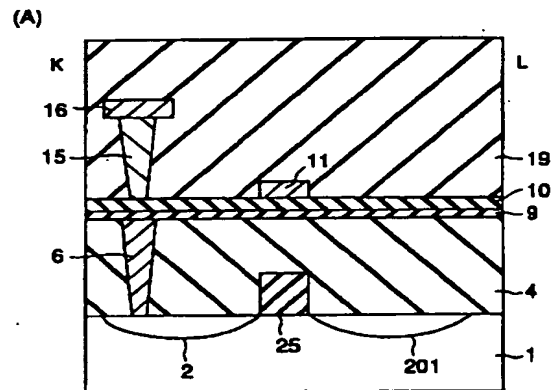
【図25】



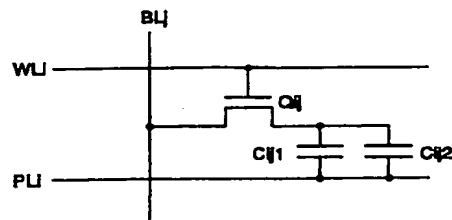
【図26】



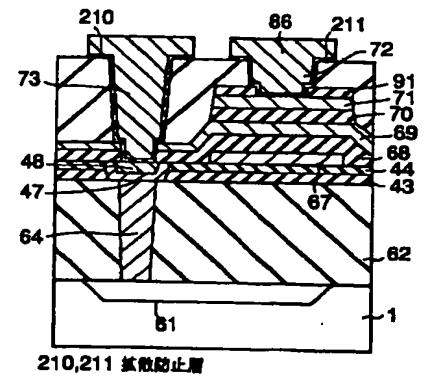
【図27】



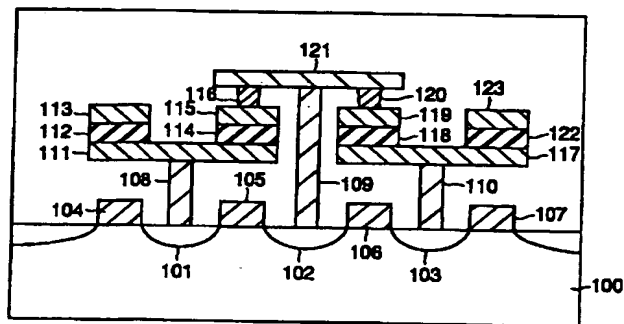
(B)



【図 3 6】



【圖 3 7】



Fターム(参考) 5F083 FRO2 GA09 JA02 JA14 JA15
JA17 JA19 JA36 JA38 JA39
JA40 JA43 KA05 KA19 MA05
MA06 MA17 MA19 PR33 PR34